

一种低功耗高性能数据采集数字处理平台的设计

吴奇, 谭志良, 商贺

(军械工程学院 静电与电磁防护研究所, 石家庄 050003)

摘要: **目的** 构建一套基于中频信号基带数字信号处理的软件无线电平台。**方法** 通过选择芯片设计硬件电路设计出合适的PCB板。**结果** 主要依据软件无线电平台, 提出了一种基于A/D+FPGA+D/A的硬件设计方案, 该系统包括了前端的A/D数据采集和后端的D/A模拟数据恢复的详细收发电路原理设计。**结论** 构建了一个从前端数据接收到后端模拟发送的高速基带数字信号处理平台。

关键词: 高速A/D转换; 高速D/A转换; 软件无线电; FPGA; 数字信号处理

DOI: 10.7643/issn.1672-9242.2017.04.013

中图分类号: TJ01; TN92 **文献标识码:** A

文章编号: 1672-9242(2017)04-0062-06

Design of a Low Power and High Performance Data Acquisition Digital Processing Platform

WU Qi, TAN Zhi-liang, SHANG He

(Institute of Electrostatic and Electromagnetic Protection, Ordnance Engineering College, Shijiazhuang 050003, China)

ABSTRACT: Objective To construct a software radio platform based on IF signal baseband digital signal processing. **Methods** A suitable PCB board was designed by selecting a chip design hardware circuit. **Results** Based on the software radio platform, a hardware design scheme based on A/D + FPGA + D/A was proposed. The system included detailed transceiver circuit principle design of front-end A/D data acquisition and back-end D/A analog data recovery. **Conclusion** A high-speed baseband digital signal processing platform from front-end data reception to back-end analog transmission is established.

KEY WORDS: high speed A/D conversion; high speed D/A conversion; software radio; FPGA; digital signal processing

在现代生活中, 数字信号处理技术渐渐成为我国研究的热点方向。其技术从功能单一的硬件核心局限性发展到现在的高性能、低功耗集成电路系统, 使复杂的信号处理渐渐变得更加方便快捷。一个具有开放性、标准化、模块化的通用硬件平台是软件无线电的关键, 其功能是基于硬件用软件来完成的, 其核心内容是在通用的硬件平台上应用不同的通信软件, 减少功能单一而且灵活性差的硬件电路完成功能的软件化, 尤其是减少模拟环节, 以实现不同通信方式间的转换。软件无线电的主要特点就是具有很强的灵活

性, 软件无线电不仅能和新体制电台通信, 还能与旧式体制电台兼容^[1]。

软件无线电设计和传统基于硬件的设计截然不同, 文中采用FPGA的软件来代替传统的ASIC芯片。通过模块化和标准化的硬件平台基础上, 运用不同的软件算法来实现功能不同的通信系统的开放式结构体系^[2]。最终目标就是实现在射频端由模数转换器直接采集对应的频谱, 并转换为数字信号, 其余部分则全部由FPGA中软件处理, 并得到最终的有用数据, 再通过数模转换器将数字信号转换为模拟信号并发

收稿日期: 2016-12-16; 修订日期: 2017-01-16

基金项目: 预研基金项目(9140A33040512JB3402)

作者简介: 吴奇(1993—), 男, 河北邯郸人, 硕士, 主要研究方向为电磁兼容与防护。

送出去。当这种硬件平台搭建好，其应用就可以按照后续软件算法的改变而变化，所以与传统的模拟方式相比，这种软件无线电平台具有很强的灵活性，适应性和发放性的特点。文中基于 FPGA，以及 A/D，D/A 芯片连接，在此基础上设计出了一个低功耗、高性能软件无线电收发系统的电路。

1 系统设计方案

现代通信系统的频段越来越高，对数字信号处理速度的要求也越来越高，这就需要一种处理速度很高、处理数据量很大的处理平台^[3]。FPGA 正好就是这样一个合适的选择，因此 FPGA 对软件无线电系统的发展具有很重要的作用。

为了在 FPGA 中实现信号的软件处理，必须将模拟信号数字化，此过程需要 ADC 来实现。已通过处理的数字信号又需要数字信号模拟化，这通过 DAC 来实现，例如语音信号需恢复成模拟信号才能正常的被人耳听到。通过设计 A/D+FPGA+D/A 框架，可以简化整个系统。文中添加了 A/D 和 D/A 模块，构建一个从前端数据接收到后端模拟发送的高速基带数字信号处理平台^[4]。

如图 1 所示，表示了接收与发射通路的基本框架。工作在发射状态时，FPGA 通过数据口接收基带数据，经内部处理和数模转换器转换，产生中频信号（TXIF）送往信道处理。当工作在接收或搜索状态下，信道送来的中频信号（RXIF）经模数转换器转换后送往 FPGA。



图 1 数字信号处理收发通路

2 软件无线电平台基带信号收发系统相关模块介绍

2.1 整体设计

按照软件无线电基本要求，一个理想软件无线电系统就应该是完全数字化系统。在硬件设计方面，该项目设计实现了整个基带处理单元收发信号和数模转换两个模块的功能。其系统最大的优点在于思路清晰，易通过软件扩展和维护，特别适宜在实时信号处理系统中应用。FPGA 具有很强的灵活性，对于硬件电路易实现的功能，常采用 FPGA 实现^[5]。

FPGA 主要负责数字上下变频、ADC/DAC 控制、同步捕获等工作。根据下文芯片的选择设计出的基带处理单元进行数据处理的基本流程如图 2 所示。

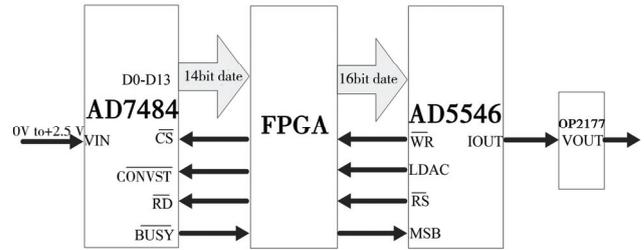


图 2 数据处理流程

2.2 各个模块的设计

2.2.1 FPGA 芯片介绍

软件无线电需要与多种硬件相结合处理的算法^[6]。利用器件不同场合优势发挥其性能，灵活实现不同通信方式功能。在实时信号处理时，虽底层信号需要较大数据预处理，同时满足较高速度处理要求，但运算结构相对简单，FPGA 在工作速度和处理性能有明显优势。目前主要的 FPGA，DSP 等数字信号处理器中，高速大容量的 FPGA 具有高性能、很强的灵活性^[7]。研究当前国内外现状，经常使用的是 DSP 和 FPGA 作为软件无线电基带处理系统。要充分考虑其可编程性、高灵活性、可重构性、低功耗等，最大程度地达到理想要求来选择方案。具体见表 1。

表 1 DSP 和 FPGA 不同处理方式下的特点

处理方式	DSP	FPGA
优点	高效的可编程性，可实现多种功能	没有现成的算法
缺点	一个复杂的系统需多片 DSP 共同完成	没有现成的算法
数据位宽	低	高
接口拓展能力	有限	强
成本	高	低
功耗	大	适中
是否符合软件无线电要求	是（多片并行处理）	是

文中采用 FPGA 作为数字信号处理器单元。由于 FPGA 为并行处理方式和流水线结构，因此并行工作的多个处理单元可实现对高性能数字信号处理的功能，尤其是数据量大、结构性好的功能模块。例如数字滤波器的实现，而且 FPGA 内嵌的高速硬件惩罚模块特别适合实现大量乘法运算的功能。

FPGA 具有灵活的体系结构和逻辑单元，集成度高、使用范围宽泛、编程灵活、制造设计成本低，因此获得了广泛的应用。Spartan6 作为 Xilinx 公司的第六代产品，采用 45 nm，9 层布线双层氧化工艺技术，比第五代的产品减少了 65% 的功耗。其中核心板模块采用的是 XC6SLX25，此芯片具有 24×10^3 的逻辑单

元及 4.8 MB 的存储器,属于较为中等规模的 FPGA 芯片,其采用 45 nm 工艺制造,功耗仅为上一代的 50%,具有 9152 个逻辑单元^[8]。其电源类型仅为 3.3 V 和 1.2 V 两种,便于电源设计,其资源满足要求。该项目用的开发平台为基于 Xilinx 公司 Spartan6 系列 FPGA 独家设计的核心板,该模块采用的芯片是 XC6SLX25。与其他 FPGA 公司的产品相比较,Spartan6 系列器件有以下优势:可靠性高、速度与性能较高、功耗低、保密性好。

2.2.2 ADC 和 DAC 转换器芯片介绍

由于要考虑到低功耗的设计,一般来说低采样率的器件功耗都比较低,因此 ADC, DAC 都需要选择采样率低但位数较高的芯片,根据中频频率的选择采样。

软件无线电对模数/数模转换的技术要求有以下几方面:采样方法应满足采样定理;宽带化,如在中频对模拟信号进行数字化,信号带宽通常在十几到几十兆赫兹;保持较高的信号动态范围;高采样率,应尽量在中频或射频工作,以尽可能地保证整机的软件化处理^[9];减小量化噪声。

所谓模数转换(ADC),就是把符合频率和幅度要求的射频模拟信号通过采样、量化,转变成二进制数据,然后传送给后级的数字接收处理设备,在文中指的就是 FPGA。采样率、输出的位数(分辨率)是模数转换的重要指标,但模数转换的采样率和分辨率本身却互相矛盾,当 ADC 的采样率每增加一倍,得到的分辨率却要近似下降一位^[10]。选取 ADC 所采取的基本原则有以下两点。

1) 采样频率。通过采样定理可知,ADC 的采样频率 f_s 应当大于 $2W_f$,其中 W_f 为采样信号的带宽。在实际应用中,考虑到 ADC 的非线性、量化误差、失真以及其他器件的噪声等因素,一般选取 $2.5 W_f$ ^[11]。在该设计中完全满足 AD7484 最高采样频率 3 MHz 的要求,高分辨率则可以使之之后的测试系统更加精确。

2) 分辨率。分辨率指能够区分出最小输入电压与参考基准电压的比值,即 ADC 能够检测到最小电压水平:

$$R = \frac{V_{ref}/2^N}{V_{ref}} = \frac{1}{2^N} \quad (1)$$

在该设计中,ADC 采集的信号为接收到的经过滤波、放大以后的信号,因此信号的幅值一般不会有波动。考虑到该电路需要高分辨率的情况下,选用了低功耗、高速并行口、逐次逼近的 14 位 A/D 转换器 AD7484 芯片。此转换器的性能参数:分辨率为 14 位,整体非线性特征是 ± 1 LSB,信号与噪声之间的失真比为 76.5 dB,总谐波失真为 -90 dB,峰值谐波噪声为 -90 dB,最高采样频率为 3 MHz,参考

输入/输出电压为 2.5 V。芯片及其引脚功能如图 3 所示,引脚功能见表 2。

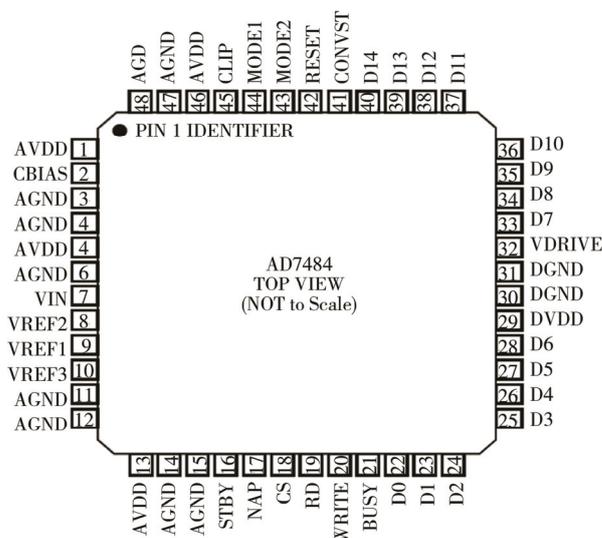


图 3 AD7484 芯片

表 2 AD7484 引脚功能

AVDD, DVDD	电源的模拟电路、电源的数字电路
CBIAS	去耦引脚内部偏置电压
AGND, DGND	电源接地模拟电路、 电源接地数字电路
VIN	模拟输入
VREF1, VREF2, VREF3	参考输出、参考输入、 去耦参考引脚
STAY	待机逻辑输入
NAP	低功率休眠逻辑输入
VDRIVE	逻辑电源输入
CONVST	转换启动逻辑输入
RESET	复位逻辑输入
MODE	操作模式逻辑输入
CLIP	逻辑输入
CS	芯片选择逻辑输入
RD	读逻辑输入
WRITE	写逻辑输入
BUSY	忙碌逻辑输出
D0—D13	数据I/O口
D14	数据输出位为超出量程

其基本连接电路如图 4 所示,该芯片是 5 V 单电源供电,内部参考电压是 2.5 V,同时有 15 位的并行接口,D13—D0 是数据位,最高位 D14 指的是过载指示位。当不选择过载指示时,可以把 D14 引脚通过一个 100 kΩ 的电阻接地在电路设计中,将该引脚连接到控制器。其中 Vdrive 表示数字 I/O 接口驱动电源与 3.3 V 电源连接,能很好地与处理器接口相匹配。在信号进入 ADC 之前,需要对输入信号进行幅值处

理,把信号的各种指标调理成满足 AD7484 的输入要求。当 CONVST 下降沿时,ADC 进行转换,BUSY 上升沿时转换完成。在 CS 置低、RD 置低时读出转

换值。对进入 ADC 之前的信号进行处理,主要完成信号的放大和偏置调节,即把信号调节到 0~2.5 V 范围内。2.5 V 基准电压原理如图 5 所示。

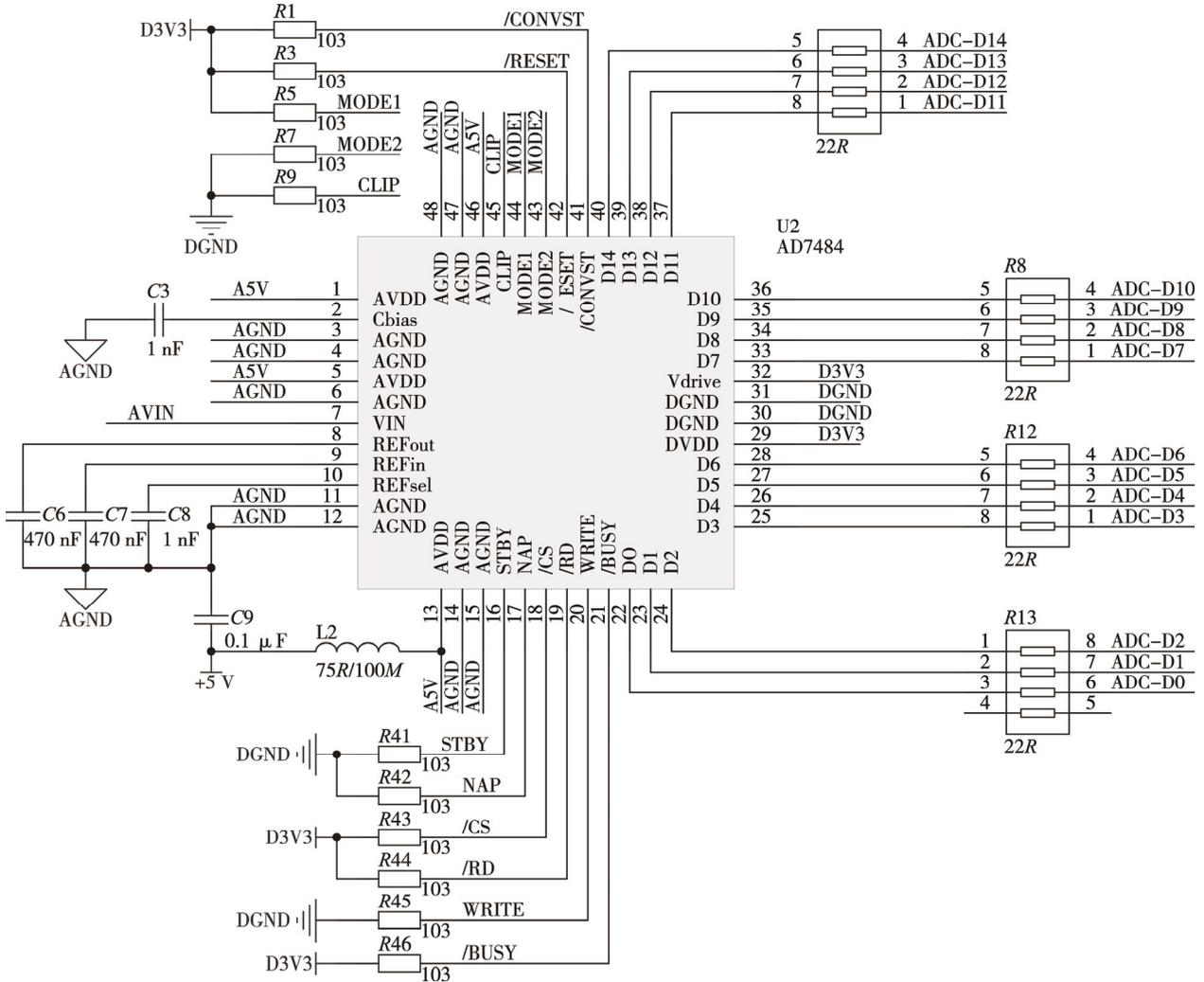


图 4 AD7484 连接图

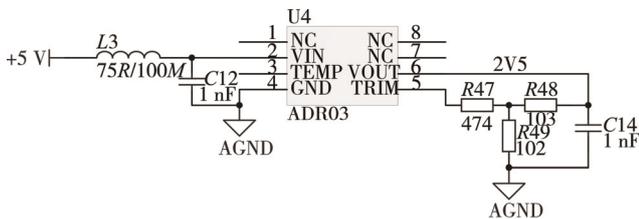


图 5 2.5 V 基准电压连接

DAC 芯片选择的 AD5546,该芯片的功能为 16 位精密、高速、乘法、低功耗、超低噪声、电流输出、并行输入数模转换。因为是电流输出,所以需要将电流输出转化为电压输出,采用 OP2177 来实现。该芯片采用 2.7~5.5 V 的单电源供电,建立时间仅为 5 μs。该芯片采用紧凑型 TSSOP-28 封装,工作温度范围在 -40~125 ℃。其封装及引脚如图 6 所示,引脚功能见表 3。

AD5546 具有 16 位并行输入,其输入寄存器可在

WR 拉低后直接加载一个 16 位总线控制器。当 LDAC 变为高电平时,输入寄存器,将数据更新至 DAC 寄存器。如果 MSB 引脚为 0,异步 RS 引脚复位为 0;如果 MSB 引脚为 1,RS 引脚为中间电平。其连接原理如图 7 所示。

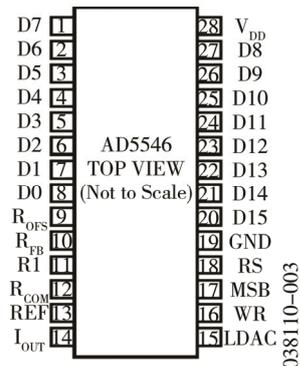


图 6 AD5546 芯片

表 3 AD5546 引脚功能表

D15-D0	数字输入数据位D15-D0
ROFS	双极偏移电阻
RFB	内部匹配反馈电阻
R1	四象限电阻R1
RCOM	两个四象限电阻R1和R2中心抽头点
REF	DAC基准输入的2象限和R2终端4象限模式
IOUT	DAC电流输出
LDAC	DAC控制的数码输入负载
\overline{WR}	写控制数字输入低电平有效
MSB	上电复位状态
\overline{RS}	复位低电平有效
GND	模拟地和数字地
VDD	正电压输入

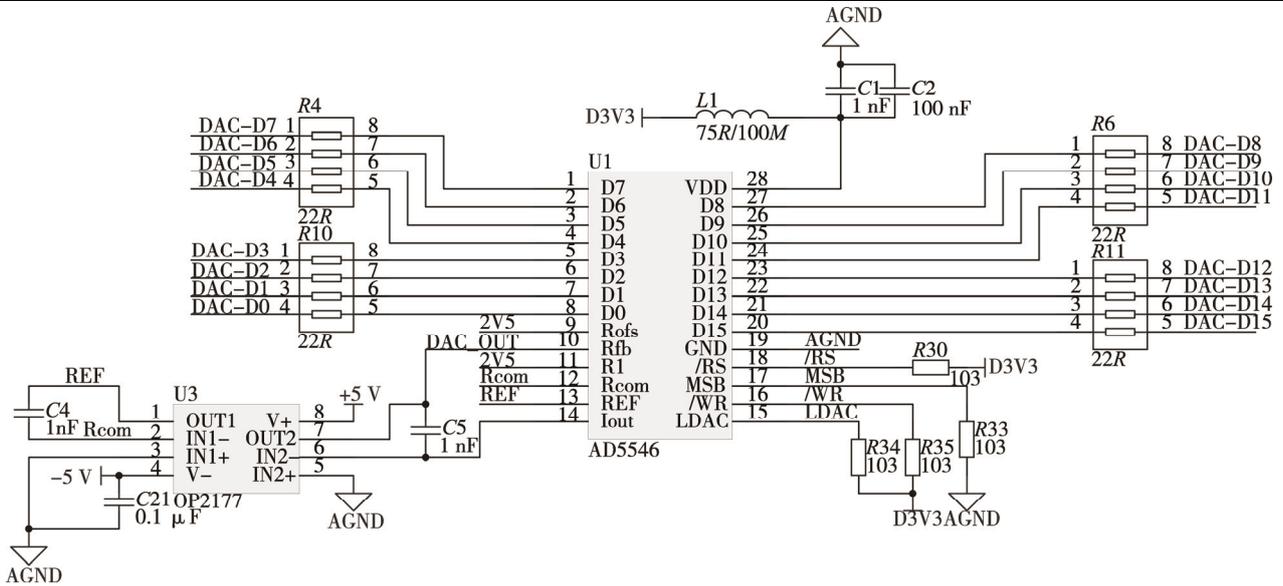


图 7 AD5546 连接

2.2.3 电源模块

电源电路的设计也是硬件系统设计成功与否的关键,系统需要的电源分别为+5,+3.3,-5,+2.5 V。系统输入电压为+12 V,通过 K7805-500R2 转为+5 V,

通过 K7803-500R2 转为+3.3 V,给大部分外设供电。其中 FPGA 的工作电压为 3.3 V,在该电路中输入电压+5 V,经过电压转换后输出。其电源模块原理如图 8 所示。

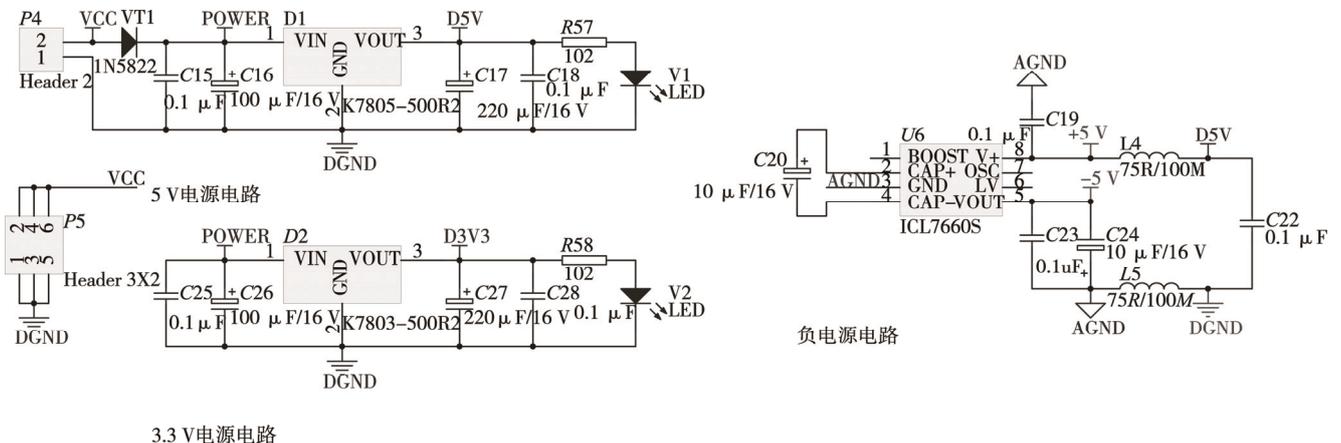


图 8 电源电路模块原理

3 系统 PCB 整体设计

前面重点介绍了此种软件无线电平台的几个功能性模块,如用芯片直接实现的 ADC 与 DAC 模块以及电源电路模块。电路设计时的布局则需要考虑不同模块在电路板上的规划情况^[12]。高速电路布线特别是差分信号的布线通常要求布线平行和长度相等,平行目的要确保差分阻抗的完全匹配,等长的目的是确保时序的准确性和对称性,保证信号在传输线上的延迟相同。在设计高性能模拟电路时,为了提高抗干扰的能力,增加系统的可靠性,往往根据电流的大小对电源线、地线的宽度进行加粗,使环路电阻减少。同时使电源线、地线的走向和数据传输的方向一致,这样更能够增强抗噪声能力。在手工调整之后,对各布线层边界的底线网络进行覆铜以增加 PCB 抗干扰能力。还需要考虑模拟地和数字地的隔离,选用多片铁氧体磁珠来连接模拟地和数字地,降低数字地对模拟地的干扰^[13]。

4 硬件电路板的测试

电路板设计出来之后,通过与示波器和电脑 PC 机之间的连接,将 0 到 65 535 递增的数字进行发送,通过转换输出得到了三角波,证实了此电路板的可行性,为下一步软件化打下了硬件电路的基础。

5 结语

依据软件无线电的思想,在 FPGA 的基础上,搭建出了一个硬件平台,既涉及到了模拟电路,又涉及到了数字电路,还涉及到了基带电路,具有通用性好、拓展性高等特点^[14]。此外,系统的 PCB 布局布线以及屏蔽结果也会对系统有一定的影响,如果这些问题

能够解决会进一步提高系统质量。相信在其他的高速电路设计中,这一方案也会有较好的应用前景。

参考文献:

- [1] 张盛耀. 基于 CORDIC 算法的软件无线电系统研究[D]. 桂林: 桂林电子科技大学, 2007.
- [2] 李莉, 彭隽. 基于软件无线电的短波通信系统设计[J]. 舰船电子工程, 2013, 33(8): 76—78.
- [3] 徐美荣. 新体制跳频通信机理研究与仿真[D]. 沈阳: 沈阳理工大学, 2012.
- [4] 常涛. 基于 FPGA+DSP 的基带数字信号处理平台的研究与实现[D]. 成都: 电子科技大学, 2015.
- [5] 周慧鑫, 赖睿, 刘上乾, 等. 高精度红外焦平面成像实时处理系统[J]. 半导体光电, 2005, 26(1): 69—71.
- [6] 杨涛, 吴启晖, 王金龙. 软件无线电发展综述[J]. 电信科学, 2001, 17(11): 25—27.
- [7] 邱祖全. 基于 DSP+FPGA 的红外视频实时处理系统[J]. 激光与红外, 2007, 37(5): 440—441.
- [8] 张筱楠. FPGA 中可编程逻辑单元的设计与研究[D]. 西安: 西安电子科技大学, 2009.
- [9] 刘业辉. 软件无线电技术应用分析[J]. 北京工业职业技术学院学报, 2006, 5(3): 11—15.
- [10] 熊杰. 采用过采样提高 C8051F020 片内 ADC 分辨率的研究[J]. 无线互联科技, 2013(10): 126—127.
- [11] 侯利军. 基于 DSP 的非均匀采样系统的设计与实现[D]. 武汉: 华中科技大学, 2004.
- [12] 刘建康. 基于 ARM+FPGA 的嵌入式数控系统硬件设计[D]. 哈尔滨: 哈尔滨工业大学, 2013.
- [13] 高蓓, 李绍胜. 基于 FPGA 的宽带软件无线电平台的硬件电路设计与实现[EB/OL]. 北京: 中国科技论文在线[2014-12-12]. <http://www.paper.edu.cn/releasepaper/content/201412-331>.
- [14] 闵超. 基于 DSP 硬件设计的软件无线电调制解调技术研究[D]. 包头: 内蒙古科技大学, 2009.